

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

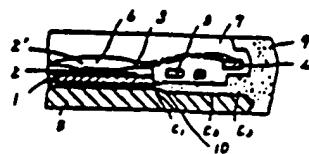
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JP 363233555 A
SEP 1988

(54) RESIN SEALED SEMICONDUCTOR DEVICE
(11) 63-233555 (A) (43) 29.9.1988 (19) JP
(21) Appl. No. 62-65715 (22) 23.3.1987
(71) TOSHIBA CORP (72) SHINJIRO KOJIMA
(51) Int. Cl. H01L23/30, H01L23/34

PURPOSE: To prevent an air gap from occurring between a heat dissipation fin and a first seal part, in a double-molded type resin sealed semiconductor device, by gradually reducing the distance between the first resin seal part and the planar heat dissipation fin toward the bed part of a lead frame.

CONSTITUTION: A semiconductor element 2 is mounted on a bed part 1, which is the conductive metal plate of a lead frame. A pad 2' and an inner lead terminal 3 or 4 are connected with a thin metal wire 5. After the thin wire 5 is covered with an encapsulating agent 6, a first resin seal part 7 is formed. At this time, the seal is performed so that the rear surface of the bed part 1 is exposed. The bed part 1 and a planar heat dissipation fin 8 are arranged in a metal mold with a slight gap C₁ being provided. A second resin seal part 9 is formed. Here, gaps C₂ and C₃ are formed between the seal part 7 and the fin 8 so that the flow path of the second resin is gradually reduced toward the gap C₁. Since the gap C₁ is excellently filled with the second resin, voids do not remain, and the heat dissipation characteristic becomes excellent.



③公開特許公報 (A) 昭63-233555

④Int.CI.

H 01 L 23/30
23/34

記別記号

厅内整理番号
B-6835-5F
B-6835-5F

⑤公開 昭和63年(1988)9月29日

審査請求 未請求 発明の数 1 (全4頁)

⑥発明の名称 樹脂封止型半導体装置

⑦特 願 昭62-65715

⑧出 願 昭62(1987)3月23日

⑨発明者 小島 伸次郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑩出版人 株式会社 東芝 神奈川県川崎市幸区堀川町72番地

⑪代理人 弁理士 井上 一男

明 著 務

1. 発明の名称

樹脂封止型半導体装置

2. 特許請求の範囲

基板性金属板表面にマウントする半導体素子と、この周囲に配置する遮蔽をもつリード線子と、このリード線子と前記半導体素子間に接続する金属膜と、この金属膜及び前記半導体素子を複数し前記膜は基板性金属板の裏面を露出して封止構造する第1の樹脂封止部と、前記膜は基板性金属板の裏面と僅かな距離を、隔離して対面配置する板状の放熱フィンと、この僅かな距離をうの前記板状の放熱フィンの裏面を露出し前記第1の樹脂封止部を含めて封止構造する第2の樹脂封止部とをもつ樹脂封止型半導体装置において。

前記板状の放熱フィンと基板性金属板裏面との距離を最小とし、前記放熱フィンと第1の樹脂封止部間の距離、前記金属膜を接続する前記リード線子に対する第1の樹脂封止部と前記板状の放熱フィン間の距離を依次増大することを特徴とする。

る樹脂封止型半導体装置。

3. 発明の詳細な説明

(発明の目的)

(技術上の利用分野)

本発明は樹脂封止型半導体装置の改良に係るもので、特にトランジスタアレイ、SCRアレイ等のパワーモジュールや、パワートランジスタならびにパワーSSOI等の高出力半導体装置に適用する二重にモールドを施した半導体装置に関するものである。

(技術的性質)

最近の半導体装置には單一の半導体素子で構成するものの外に、複数の半導体素子ならびに形成基板部品を一體としたモジュールタイプも多用されており、その取扱性を改善するにはリードフレームにマウントした半導体素子と共に放熱フィンもトランシスタ構造する方がが採用されている。

このようなモジュール商品では複数の半導体素子をマウントする寸法の大きいリードフレームを用いるため樹脂封止部が工場中に開設して、放熱

フインヒリードフレームのベッド底面距離が異常に狭くなったり広げられることがある。

このために、被覆防止（トランスファモールド）工程を複数回に分けて実施する方が採用されており、リードフレームのベッドと底面フイン部の距離を所要の値に維持できるので、底面性の改善に役立つところが大きい。

第16図によりこの二重モールド方式を説明する。第10図は二重モールドを用いた製品の断面図。この構造を取るには第1の被覆防止を終えた底面品Aを、リードフレームのベッド部24と底面フイン21を適切な距離を保って金属内に配置後第一の被覆防止部22と同様なエボキシ樹脂によって封止成形を行って第二の被覆防止部23を設ける。

この二重モールド方式の結果、ベッド部24にダイポンディングした半導体電子24ならびにリードフレームのリード電子25を保護する金属膜26等が埋設すると共に、底面フイン21の一端はこの封止樹脂と連続して表面を形成する。

(発明が解決しようとする問題)

このような二重モールド方式を適用した被覆防止部半導体装置は前述のように底面フインと、半導体電子をダイポンディングしたリードフレームのベッド底面を適切な距離とし、更にこの空間に封止樹脂層を充填するので底面性に優れた特徴を有している。これに反して、前記空間に封止樹脂が入りにくいためエアボイドが発生しやすい。また、この被覆防止部の境界に機械的強度を与えると、亀裂やエアギャップが入り易い箇所があり、これが基で底面性が劣化する。

本発明は上記欠点を撲滅する新規な被覆防止部半導体装置を提供することを目的とする。

(発明の構成)

(問題点を解決するための手段)

二重モールド方式を適用した被覆防止部半導体装置における板状の底面フインと、リードフレームのベッド部ならびに底面性金属膜を充填する第2の被覆防止部のエアギャップ等を解消するために、この極めて狭い領域につながる板状の底面フインと第1の被覆防止部の底面と前記底面性金属膜

にマウントした半導体電子と電気的接続を保るべく固定した金属膜にはリード電子を連結しこれに対応する第1の被覆防止部と板状底面フイン部の距離とを最大限大する手段を使用する。

(作用)

このように本発明では極めて狭い領域に充填する接続樹脂量を取次ぎ少するように構成しているので、入り易く使ってエアボイドの発生を防止して、被覆防止部半導体装置に必要な底面性ならびに底面性を確保したものである。

(実験例)

第1図乃至第9図に本発明の実験例を示すが、従来の技術と直結する比較が概念上一目にあるが、番号を付して説明する。

この実験例は半導体電子6ヶで構成する回路(第5図)をしつ被覆防止部半導体装置であり、この各半導体電子をマウントするリードフレームも当然底面性構造が必要となるが、その上位部を第2図に示す。

半導体電子2…にベッド部ならびに底面性金属膜1

…にマウントされているが、そのパターンは複雑でありかつ密度が高いことが良く判る。一方このリードフレームは第1図等に示すように底面性金属膜1…と内部リード電子部3ならびに後述するようによく金属膜をポンディングする外部リード電子部4の3部分の高さを互に異らせるように計算してこの底面性金属膜1…を相應の位置にする。

半導体電子2…に設けるベッド2'…と外部リード電子4間には通常のポンディング法によって金属膜5を接合して電気的接続を図り、これをエンチャップ部6によって被覆板公知のエボキシ樹脂によるトランスファモールド工程を通して第1の被覆防止部7を設ける。この結果半導体電子2、内部外部リード電子3、4は、金属膜5とエンチャップ部6は接合されるものの、底面性金属膜1…の高さはこの第1の被覆防止部7表面に對比する。

又に露出した底面性金属膜1…に対して何かの底面を保つ板状の底面フイン8を被覆モールド用金属内に設けて第2の被覆防止部9を形成する。

この場合、板状の放熱フィン⑨と導電性金属板①間の距離C₁、₂内部リード③に対応する第1の板路対止部⑦と板状の放熱フィン⑨間の距離C₃、₄外部リード④に対応する第1の板路対止部⑦と板状の放熱フィン⑨間の距離C₅として接触表面が流れ易いように配慮している。C₁に示す距離を維持するには第1段に示すように板状の放熱フィン⑨の所定位置即ち内部リード端子③に対応する位置にプレス加工で凹部⑩を設けるか、第8図に示すように第1の板路対止部⑧の厚さを小さくしても良い。尚このトランスマルチモールド工種におけるゲート位置はC₁方向に設けて前述のように接触表面の流れを改善して最も良い。C₁の通過を良好にする。

更にこの接触表面の流れに配慮した例が第3～4図、第6～8図であり、結果的には第2の板路対止部⑨が第1の板路対止部⑦を剪付け付けて板状の放熱フィン⑨と導電性金属板①間のエアーギャップを防止している。

この第4図は第2の板路対止部⑨が成形を終え

C₁の工程を終えた板路対止部半導体基板の上面面であり第1及び第2の板路対止部⑦、⑧が剪付けして表層を形成しているが、この第1の板路対止部⑦の外側に7a～7cの段階を形成している。第3図イは、第1の板路対止部⑦を形成してから不要部分を除去した成形品の平面図であり、これをA～A線に沿って切削した図が第3図ロである。

この段階は、第2の板路対止部⑨との距離を大きくするために半導体基板の外観言い換えると導電性金属板①…の中間位置に形成し、この成形に当っては段階に相当する上型キャビティの成形型を使用し、かつこの導電性金属板①の裏面が第1の板路対止部⑦の裏面を下型キャビティの裏面に密着配置してトランスマルチモールド工種を実現して得られる。

第6図～第8図は第4図に示したB～B、C～C、D～Dの各線に沿って切削した製品の断面図であり、第1の板路対止部⑦の段階7a～7dにエボキシ樹脂で構成する第2の板路対止部9a～9dが完成され、第7図に示す段落チーパー7aは第2の板路

対止部⑨に対してUnder-Cutの逆テープであって斜度しくは5°より斜度しくは10°以上に設置する。

この段階は半導体基板②の外側をほぼ削りで抜けられているので、既にC₁の反対側を持つ導電性金属板①と板状の放熱フィン⑨間に完成する第2の板路対止部⑨の接着性が改善されて、第1の板路対止部を剪付けける効果を発揮する。

尚第4図に示すように第1の板路対止部⑦が露出する面積は第1の板路対止部⑦の板路面積の約50%が斜度しく、接着力を強めるために少なくするとC₁距離を所望の寸法に収めることができます。ボイドが抜けずに起因不良となる。これは第2の板路対止部⑨成形時にC₁距離をもった隙間が後から充填されてここでの隙間圧が小さくなつてかつボイドを巻込み易いためである。

(発明の効果)

この二重モールド方式を採用した板路対止部半導体基板では板状放熱フィンと第1の板路対止部間に第2の板路対止用被膜が充填されなくて、エ

アーポイドが発生し難い。従って半導体基板の熱伝導性が安定して高耐圧基板が得られる効果があり、しかもリード端子の自由度も従来より増す。

又厚さ2mmの板状放熱フィンを使用して外形寸法が77(幅)×27(高)×7(厚)mmである第4図の板路対止部半導体基板を試作としてC₁を0.34mmとすると、ピーク値として±0.767を1分でクリアでき、0.3mmでは±0.4.917×1分をクリアした。

4. 他の簡単な説明

第1図は本発明の供する半導体基板の裏面を示す断面図、第2はリードフレームの平面図、第3図イは第1の板路対止部の状態を示す上面図、第3図ロは第3図イをA～A線になって切削した断面図、第4図は本発明に供する半導体基板の上面図、第5図はこの半導体基板の回路図、第6～第8図は第4図のB～B、C～C、D～D線に沿って切削した断面図、第9図は本発明に供する半導体の裏面を示す断面図、第10図は從来基板の断面図である。

代理人 内藤士 兼 上一男

